

D2)

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05334265 A

(43) Date of publication of application: 17.12.93

(51) Int. Cl.

G06F 15/16  
G06F 9/38

(21) Application number: 04139396

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 29.05.92

(72) Inventor: HAGIWARA YUUKO

(54) INFORMATION PROCESSOR AND PROCESSING METHOD

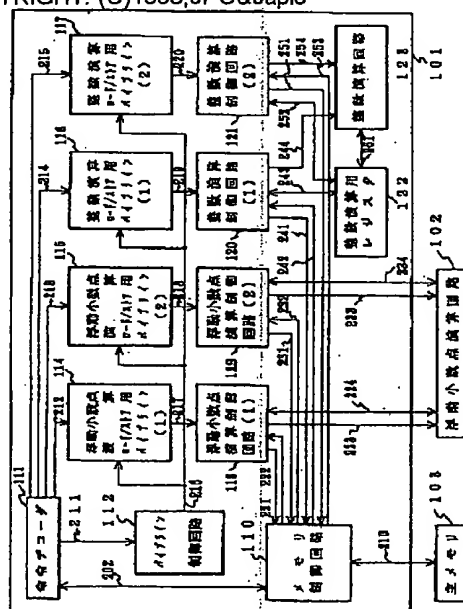
the integer arithmetic circuit 123.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To simultaneously execute plural floating point commands, and to simultaneously execute plural integer commands.

CONSTITUTION: This device is equipped with a command decoder 111 which decodes two commands read from a memory 103, two pipe lines 114 and 115 which hold each decode information of the two floating point commands, two pipe lines 116 and 117 which hold each decode information of the two integer commands, two floating point arithmetic control circuits 118 and 119 which prepare each control code necessary for the execution of the floating point command from each decode information held by each pipe line 114 and 115, and output it to a sub-processor 102, and two integer arithmetic control circuits 120 and 121 which prepare each control code necessary for the execution of the integer command from each decode information held by each pipe line 116 and 117, and output it to an integer arithmetic circuit 123. Then, the plural floating point commands and the plural integer commands are simultaneously executed by the sub-processor 102 and



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-334265

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 15/16  
9/38

識別記号

3 7 0 Z 8840-5L  
3 7 0 A 9193-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3(全13頁)

(21)出願番号 特願平4-139396

(22)出願日 平成4年(1992)5月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 萩原 夕子

東京都青梅市末広町2丁目9番地 株式会  
社東芝青梅工場内

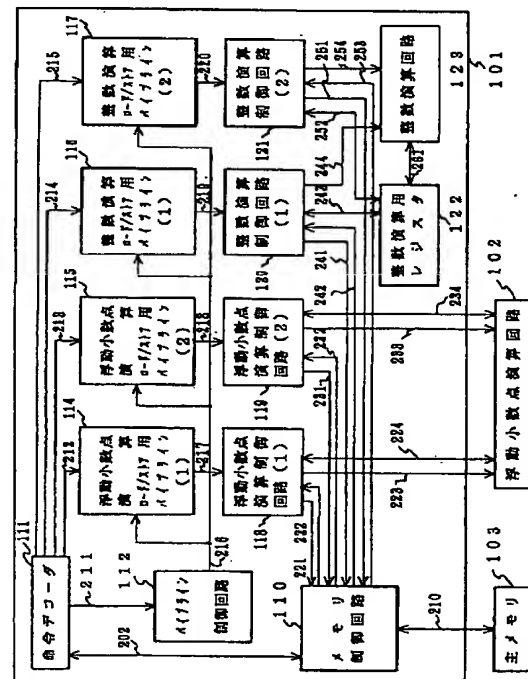
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 情報処理装置および情報処理方法

(57)【要約】

【目的】 同時に複数の浮動小数点命令を実行することができ、かつ同時に複数の整数命令を実行することのできる情報処理装置の提供を目的としている。

【構成】 メモリ103より読み出された2つの命令をデコードする命令デコーダ111と、2つの浮動小数点命令のデコード情報を別々に保持する2つのパイプライン114、115と、2つの整数命令の各デコード情報を別々に保持する2つのパイプライン116、117と、各パイプライン114、115に保持された各デコード情報から浮動小数点命令を実行するために必要な各制御コードを生成してサブプロセッサ102に出力する2つの浮動小数点演算制御回路118、119と、各パイプライン116、117に保持された各デコード情報から整数命令を実行するために必要な各制御コードを生成して整数演算回路123に出力する2つの整数演算制御回路120、121とを具備し、サブプロセッサ102および整数演算回路123にて複数の浮動小数点命令および複数の整数命令をそれぞれ同時に実行できるよう構成した。



## 【特許請求の範囲】

【請求項1】 整数命令である整数演算命令および整数データのロード／ストア命令を実行する主プロセッサに、浮動小数点命令である浮動小数点演算命令および浮動小数点データのロード／ストア命令を実行するサブプロセッサと、前記主プロセッサおよび前記サブプロセッサで実行する命令を記憶したメモリとを接続してなる情報処理装置において、

前記主プロセッサ内に、前記メモリより複数の命令を読み出す手段と、前記メモリより読み出された複数の命令をデコードして命令実行に必要な各制御情報を出力するデコード手段と、前記デコード手段より出力された浮動小数点命令の各制御情報をそれぞれ別々に保持する複数の第1情報保持手段と、前記デコード手段より出力された整数命令の各制御情報をそれぞれ別々に保持する複数の第2情報保持手段と、前記複数の第1情報保持手段にそれぞれ保持された制御情報に基づき前記サブプロセッサにて複数の浮動小数点命令を同時に実行するよう制御を行う手段と、前記複数の第2情報保持手段にそれぞれ保持された制御情報に基づき前記主プロセッサにて複数の整数命令を同時に実行するよう制御を行う手段とを具備することを特徴とする情報処理装置。

【請求項2】 整数命令である整数演算命令および整数データのロード／ストア命令を実行する主プロセッサに、浮動小数点命令である浮動小数点演算命令および浮動小数点データのロード／ストア命令を実行するサブプロセッサと、前記主プロセッサおよび前記サブプロセッサで実行する命令を記憶したメモリとを接続してなる情報処理装置において、

前記主プロセッサ内に、前記メモリより複数の命令を同時に読み出すメモリ制御回路と、前記メモリ制御回路より読み出された複数の命令をデコードして命令実行に必要な各制御情報を出力する命令デコーダと、この命令デコーダより出力された浮動小数点命令の各制御情報をそれぞれ別々にパイプライン構造で保持する複数の浮動小数点演算・ロード／ストア用パイプラインと、前記命令デコーダより出力された整数命令の各制御情報をそれぞれ別々にパイプライン構造で保持する複数の整数演算・ロード／ストア用パイプラインと、前記複数の浮動小数点演算・ロード／ストア用パイプラインに保持された各制御情報から前記サブプロセッサにて浮動小数点命令を実行するために必要な各制御コードをそれぞれ生成して前記サブプロセッサに出力する複数の浮動小数点演算制御回路と、整数命令を実行する整数演算回路と、前記複数の整数演算・ロード／ストア用パイプラインに保持された各制御情報から前記整数演算回路にて整数命令を実行するために必要な各制御コードをそれぞれ生成して前記整数演算回路に出力する複数の整数演算制御回路とを具備し、前記サブプロセッサおよび前記整数演算回路にて複数の浮動小数点命令および複数の整数命令をそれぞれ

れ同時に実行できるよう構成してなることを特徴とする情報処理装置。

【請求項3】 整数命令である整数演算命令および整数データのロード／ストア命令を実行する主プロセッサに、浮動小数点命令である浮動小数点演算命令および浮動小数点データのロード／ストア命令を実行するサブプロセッサと、前記主プロセッサおよび前記サブプロセッサで実行する命令を記憶したメモリとを接続してなる情報処理装置において、

前記メモリより複数の命令を同時に読み出す工程と、読み出された複数の命令をそれぞれデコードして命令実行に必要な制御情報を出力する工程と、

前記複数の命令がそれぞれ浮動小数点命令の場合、これら浮動小数点命令の制御情報を複数の浮動小数点演算・ロード／ストア用パイプラインに別々に格納する工程と、

前記複数の命令がそれぞれ整数命令の場合、これら整数命令の制御情報を複数の整数演算・ロード／ストア用パイプラインに別々に格納する工程と、

前記複数の浮動小数点演算・ロード／ストア用パイプラインに保持された各制御情報から、前記サブプロセッサにて浮動小数点命令を実行するために必要な各制御コードをそれぞれ生成する第1の制御コード生成工程と、

前記複数の整数演算・ロード／ストア用パイプラインに保持された各制御情報から、前記主プロセッサ内の整数演算回路にて整数命令を実行するために必要な各制御コードをそれぞれ生成する第2の制御コード生成工程と、前記第1の制御コード生成工程にて生成された各制御コードに基づいて前記サブプロセッサにて複数の浮動小数点命令を同時に実行する工程と、

前記第2の制御コード生成工程にて生成された各制御コードに基づいて前記主プロセッサの整数演算回路にて複数の整数命令を同時に実行する工程とを有することを特徴とする情報処理方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、主プロセッサに浮動小数点演算用のサブプロセッサを接続してなる情報処理装置および情報処理方法に関する。

## 【0002】

【従来の技術】 従来からの主プロセッサに浮動小数点演算用のサブプロセッサを接続してなる情報処理装置の構成を図7に示す。同図において、1は主プロセッサ、2はこの主プロセッサ1の制御下で浮動小数点命令を実行するサブプロセッサとしての浮動小数点演算回路、3は主プロセッサ1およびサブプロセッサ2で実行する命令やデータを格納する主メモリである。主プロセッサ1はメモリ制御回路10、命令デコーダ11、パイプライン制御回路12、浮動小数点演算用パイプライン13、ロード／ストア用パイプライン14、整数演算用パイプライン15、

イン15、浮動小数点演算制御回路16、ロード/ストア制御回路17、整数演算制御回路18、整数演算用レジスタ19、および整数演算回路20を有する。

【0003】メモリ制御回路10は主プロセッサ1と主メモリ3またはI/Oポート（図示せず）との間におけるデータの入出力を制御する。命令デコーダ11はメモリ制御回路10を通じて主メモリ3より読み込んだ命令をデコードして命令実行に必要な制御情報を生成する。パイプライン制御回路12は浮動小数点演算用パイプライン13、ロード/ストア用パイプライン14および整数演算用パイプライン15の制御を行う。浮動小数点演算用パイプライン13は命令デコーダ11で得た浮動小数点演算命令の制御情報をパイプライン構造で蓄積する。ロード/ストア用パイプライン14は命令デコーダ11で得たロード/ストア命令の制御情報をパイプライン構造で蓄積する。整数演算用パイプライン15は命令デコーダ11で得た整数演算命令の制御情報をパイプライン構造で蓄積する。浮動小数点演算制御回路16は浮動小数点演算用パイプライン13より取り出した浮動小数点演算命令の制御情報からサブプロセッサ2にて浮動小数点演算命令を実行するために必要な制御コードを生成する。ロード/ストア制御回路17はロード/ストア用パイプライン14より取り出したロード/ストア命令の制御情報に基づき、整数演算用レジスタ19または浮動小数点演算回路2内の浮動小数点演算用レジスタ（図示せず）に対するデータのロード/ストアを制御する。整数演算制御回路18は整数演算用パイプライン15より取り出した整数演算命令の制御情報から整数演算回路20にて整数演算命令を実行するために必要な制御コードを生成する。そして整数演算回路20は整数演算制御回路18より入力した制御コードに基づいて整数演算を実行し、演算結果を整数演算用レジスタ19に格納する。次にこの情報処理装置の動作を説明する。メモリ制御回路10は主メモリ3から1つまたは2つの命令を読み出して命令デコーダ11に送る。命令デコーダ11は入力した命令をデコードして命令実行に必要な制御情報を生成する。

【0004】ここで、命令が浮動小数点演算命令である場合、命令デコーダ11で得た制御情報は浮動小数点演算用パイプライン13に入力され保持される。また命令が整数演算用レジスタ19または浮動小数点演算用レジスタに対するロード/ストア命令の場合、制御情報はロード/ストア用パイプライン14に入力され保持される。さらに命令が整数演算命令の場合、制御情報は整数演算用パイプライン15に入力され保持される。

【0005】この間、パイプライン制御回路12は各パイプライン13、14、15の情報を1段階ずつ進める制御を行い、必要に応じて同一パイプライン上の各命令を正しい順序で実行するためのパイプライン制御を行う。

【0006】ここで浮動小数点演算制御回路16、ロー

ド/ストア制御回路17および整数演算制御回路18はそれぞれ、浮動小数点演算用パイプライン13、ロード/ストア用パイプライン14、整数演算用パイプライン15に保持された情報に基づきそれぞれ並列的に動作することが可能である。

【0007】すなわち、浮動小数点演算制御回路16は浮動小数点演算用パイプライン13より取り出した浮動小数点演算命令の制御情報から、浮動小数点演算回路2にて浮動小数点命令を実行するために必要な制御コードを生成し、この制御コードを浮動小数点演算回路2に送る。この制御コードを基に、浮動小数点演算回路2にて浮動小数点演算が実行される。

【0008】一方、ロード/ストア制御回路17はロード/ストア用パイプライン14より取り出したロード/ストア命令の制御情報に基づき、整数演算用レジスタ19または浮動小数点演算回路2内の浮動小数点演算用レジスタと主メモリ3またはI/Oポート（図示せず）との間におけるデータのロード/ストアを行う。なお、ここでロードは主メモリ3から送られてきたデータを整数演算用レジスタ19または浮動小数点演算用レジスタに転送する処理を指す。また、ストアは主メモリ3に整数演算用レジスタ19または浮動小数点演算用レジスタのデータを転送する処理を指す。

【0009】さらに整数演算制御回路18は整数演算用パイプライン15より取り出した整数演算命令の制御情報から、整数演算回路20にて整数演算命令を実行するために必要な制御コードを生成し、この制御コードを整数演算回路20に送る。整数演算回路20は整数演算制御回路18より入力した制御コードに基づいて整数演算を実行する。このとき整数演算回路20は整数演算用レジスタ19に対してデータのリード/ライトを行うことによって演算を実行する。

【0010】しかしながら、この情報処理装置では、浮動小数点演算命令、ロード/ストア命令、および整数演算命令をそれぞれ1つずつしか実行することができない。例えば、図8に示すように、浮動小数点演算回路2において浮動小数点演算命令（F）の前後にいくつものロード命令（LD）とストア命令（ST）が続いた場合、ロード命令（LD）およびストア命令（ST）はそれぞれ1つずつしか実行されない。このため命令の実行速度を向上させることができなかった。

【0011】

【発明が解決しようとする課題】本発明はこのような課題を解決するためのもので、同時に複数の浮動小数点命令を実行することができ、かつ同時に複数の整数命令を実行することのできる情報処理装置および情報処理方法の提供を目的としている。

【0012】

【課題を解決するための手段】本発明の情報処理装置は上記した目的を達成するために、整数命令である整数演

算命令および整数データのロード／ストア命令を実行する主プロセッサに、浮動小数点命令である浮動小数点演算命令および浮動小数点データのロード／ストア命令を実行するサブプロセッサと、前記主プロセッサおよび前記サブプロセッサで実行する命令を記憶したメモリとを接続してなる情報処理装置において、前記主プロセッサ内に、前記メモリより複数の命令を読み出す手段と、前記メモリより読み出された複数の命令をデコードして命令実行に必要な各制御情報を出力するデコード手段と、前記デコード手段より出力された浮動小数点命令の各制御情報をそれぞれ別々に保持する複数の第1情報保持手段と、前記デコード手段より出力された整数命令の各制御情報をそれぞれ別々に保持する複数の第2情報保持手段と、前記複数の第1情報保持手段にそれぞれ保持された制御情報に基づき前記サブプロセッサにて複数の浮動小数点命令を同時に実行するよう制御を行う手段と、前記複数の第2情報保持手段にそれぞれ保持された制御情報に基づき前記主プロセッサにて複数の整数命令を同時に実行するよう制御を行う手段とを具備している。

#### 【0013】

【作用】本発明では、メモリより複数の命令を読み出してこれらをデコードした後、命令が浮動小数点演算命令または浮動小数点データのロード／ストア命令等の浮動小数点命令である場合は、デコードした複数の制御情報を浮動小数点演算・ロード／ストア用パイプライン等の複数の第1情報保持手段にそれぞれ別々に格納する。また同様に、命令が整数演算命令または整数データのロード／ストア命令等の整数命令である場合は、デコードした複数の制御情報を整数演算・ロード／ストア用パイプライン等の複数の第2情報保持手段にそれぞれ別々に格納する。

【0014】この後、複数の第1情報保持手段に保持された各制御情報から、サブプロセッサにて浮動小数点命令を実行するために必要な各制御コードをそれぞれ生成してサブプロセッサに送る。これにより、サブプロセッサにて複数の浮動小数点命令が同時に実行される。

【0015】さらに複数の第2情報保持手段に保持された各制御情報から、主プロセッサにて整数命令を実行するために必要な各制御コードをそれぞれ生成して主プロセッサに送る。これにより、主プロセッサにて複数の整数命令が同時に実行される。

#### 【0016】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は本発明に係る一実施例の情報処理装置の構成を説明するためのブロック図である。同図において、101は整数演算命令および整数データのロード／ストア命令等の整数命令を実行可能な主プロセッサである。102はこの主プロセッサ101の制御下で、浮動小数点演算命令および浮動小数点データのロード／ストア命令等の浮動小数点命令を実行するサブプロセッサとして

の浮動小数点演算回路である。103は主プロセッサ101および浮動小数点演算回路102で実行する命令やデータを格納する主メモリである。

【0017】主プロセッサ101はメモリ制御回路110、命令デコーダ111、パイプライン制御回路112、第1の浮動小数点演算・ロード／ストア用パイプライン114、第2の浮動小数点演算・ロード／ストア用パイプライン115、第1の整数演算・ロード／ストア用パイプライン116、第2の整数演算・ロード／ストア用パイプライン117、第1の浮動小数点演算制御回路118、第2の浮動小数点演算制御回路119、第1の整数演算制御回路120、第2の整数演算制御回路121、整数演算用レジスタ122、および整数演算回路123を有する。メモリ制御回路110は主プロセッサ101と主メモリ103またはI/Oポート（図示せず）との間におけるデータの入出力を制御する。

【0018】命令デコーダ111はメモリ制御回路110を通じて主メモリ103より読み込んだ1つまたは2つの命令をデコードして命令実行に必要な制御情報を生成する。

【0019】パイプライン制御回路112は各浮動小数点演算・ロード／ストア用パイプライン114、115および各整数演算・ロード／ストア用パイプライン116、117の制御を行う。すなわちこのパイプライン制御回路112は、各パイプライン114、115、116、117の保持情報を同一パイプライン上の次の段に転送したり、同時に入力された2つの命令が同時に実行できない場合、後から実行すべき命令の実行にウェイトをかけて各命令の実行タイミングに時間差を持たせるなどのパイプライン制御を行う。

【0020】各浮動小数点演算・ロード／ストア用パイプライン114、115はそれぞれ命令デコーダ111で得た浮動小数点演算命令および浮動小数点データのロード／ストア命令の制御情報をそれぞれ混在を許してパイプライン構造で蓄積する。各整数演算・ロード／ストア用パイプライン116、117はそれぞれ命令デコーダ111で得た整数演算命令および整数データのロード／ストア命令の制御情報をそれぞれ混在を許してパイプライン構造で蓄積する。

【0021】各浮動小数点演算制御回路118、119はそれぞれ、各浮動小数点演算・ロード／ストア用パイプライン114、115より取り出した浮動小数点演算命令またはロード／ストア命令の制御情報から、浮動小数点演算回路102にて浮動小数点演算および浮動小数点演算用レジスタ（図示せず）に対する浮動小数点データのロード／ストアを実行するために必要な制御コードを生成する。

【0022】各整数演算制御回路120、121はそれぞれ、整数演算・ロード／ストア用パイプライン116、117より取り出した整数演算命令またはロード／

ストア命令の制御情報から、整数演算回路123にて整数演算および整数演算用レジスタ122に対する整数データのロード/ストアを実行するために必要な制御コードを生成する。

【0023】整数演算回路123は各整数演算制御回路120、121より入力した制御コードに基づいて整数演算および整数演算用レジスタ122に対する整数データのロード/ストアを実行する。但しロード/ストアは並列的に実行可能である。

【0024】また以上各構成部の間の接続において、211は命令デコーダ111で得た制御情報をパイプライン制御回路112へ伝達するための信号線である。パイプライン制御回路112はこの信号線211より得た制御情報に基づき各パイプライン114、115、116、117の制御を実行する。

【0025】212は命令デコーダ111で得た浮動小数点命令の制御情報を第1の浮動小数点演算・ロード/ストア用パイプライン114へ伝達するための信号線である。主メモリ103より読み出された命令が1つの場合、制御情報はこの信号線212を通して第1の浮動小数点演算・ロード/ストア用パイプライン114へのみ送られる。

【0026】213は命令デコーダ111で得た浮動小数点命令の制御情報を第2の浮動小数点演算・ロード/ストア用パイプライン115へ伝達するための信号線である。同時に2つの命令が主メモリ103より読み出された場合、この信号線213を通して第2の浮動小数点演算・ロード/ストア用パイプライン115にも制御情報が送られる。

【0027】214は命令デコーダ111で得た整数命令の制御情報を第1の整数演算・ロード/ストア用パイプライン116へ伝達するための信号線である。主メモリ103より読み出された命令が1つの場合、制御情報はこの信号線214を通して第1の整数演算・ロード/ストア用パイプライン116へのみ送られる。

【0028】215は命令デコーダ111で得た整数命令の制御情報を第2の整数演算・ロード/ストア用パイプライン117へ伝達するための信号線である。同時に2つの命令が主メモリ103より読み出された場合、この信号線215を通して第2の整数演算・ロード/ストア用パイプライン117にも制御情報が送られる。

【0029】216はパイプライン制御回路112から各パイプライン114、115、116、117に制御信号を送るための信号線である。この信号線216を通して各パイプライン114、115、116、117の保持情報を一段ずつ進めるためのイネーブル信号や命令実行にウェイトをかけるウェイト信号等が送られる。217は第1の浮動小数点演算・ロード/ストア用パイプライン114に保持された制御情報を第1の浮動小数点演算制御回路118へ伝達するための信号線である。

【0030】218は第2の浮動小数点演算・ロード/ストア用パイプライン115に保持された制御情報を第2の浮動小数点演算制御回路119へ伝達するための信号線である。

【0031】219は第1の整数演算・ロード/ストア用パイプライン116に保持された制御情報を第1の整数演算制御回路120へ伝達するための信号線である。

【0032】220は第2の整数演算・ロード/ストア用パイプライン117に保持された制御情報を第2の整数演算制御回路121に伝達するための信号線である。

【0033】221は第1の浮動小数点演算制御回路118の制御下で浮動小数点演算回路102にてロード/ストア命令を実行する際、第1の浮動小数点演算制御回路118からメモリ制御回路110にロード/ストア実行のための制御信号を送るための信号線である。

【0034】222はメモリ制御回路110と第1の浮動小数点演算制御回路118との間でロード/ストアデータの授受を行うためのデータバスである。

【0035】223は第1の浮動小数点演算制御回路118で生成した制御コードを浮動小数点演算回路102へ伝達するための信号線である。

【0036】224は第1の浮動小数点演算制御回路118と浮動小数点演算回路102との間でロード/ストアデータの授受を行うためのデータバスである。

【0037】231は第2の浮動小数点演算制御回路119の制御下で浮動小数点演算回路102にてロード/ストア命令を実行する際、第2の浮動小数点演算制御回路119からメモリ制御回路110にロード/ストア実行のための制御信号を送るための信号線である。

【0038】232はメモリ制御回路110と第2の浮動小数点演算制御回路119との間でロード/ストアデータの授受を行うためのデータバスである。

【0039】233は第2の浮動小数点演算制御回路119で生成した制御コードを浮動小数点演算回路102へ送るための信号線である。

【0040】234は第2の浮動小数点演算制御回路119と浮動小数点演算回路102との間でロード/ストアデータの授受を行うためのデータバスである。

【0041】241は第1の整数演算制御回路120の制御下で整数演算回路123にてロード/ストア命令を実行する際、第1の整数演算制御回路120からメモリ制御回路110にロード/ストア実行のための制御信号を伝達するための信号線である。

【0042】242はメモリ制御回路110と第1の整数演算制御回路120との間でロード/ストアデータの授受を行うためのデータバスである。

【0043】243は整数演算用レジスタ122に保持された整数演算結果を第1の整数演算制御回路120に送るための信号線である。

【0044】244は第1の整数演算制御回路120で

生成した制御コードを整数演算回路123へ送るための信号線である。

【0045】251は第2の整数演算制御回路121の制御下で整数演算回路123にてロード/ストア命令を実行する際、第2の整数演算制御回路120からメモリ制御回路110にロード/ストア実行のための制御信号を送るための信号線である。252はメモリ制御回路110と第2の整数演算制御回路121との間でロード/ストアデータの授受を行うためのデータバスである。

【0046】253は整数演算用レジスタ122に保持された整数演算結果を第2の整数演算制御回路121に送るための信号線である。

【0047】254は第2の整数演算制御回路121で生成した制御コードを整数演算回路123へ送るための信号線である。

【0048】また図示は省略したが、浮動小数点演算回路102は浮動小数点演算用のレジスタを有し、浮動小数点演算の実行と共に、浮動小数点演算用レジスタに対する浮動小数点データのロード/ストアを実行する。但しロード/ストアは並列に実行可能である。

【0049】次にこの情報処理装置の動作を説明する。図2は各パイプラインに情報を入力する手順を示すフローチャートである。

【0050】まずメモリ制御回路110は主メモリ103から1つまたは2つの命令を読み出して命令デコーダ111に送る(ステップ201)。

【0051】命令デコーダ111は入力した1つまたは2つの命令をデコードして命令実行に必要な制御情報を生成する(ステップ202)。

【0052】ここで、命令が整数命令つまり整数演算命令あるいは整数演算用レジスタ122に対する整数データのロード/ストア命令かどうかを判断する(ステップ203)。

【0053】この結果“YES”の場合、命令デコーダ111で生成された制御情報は整数演算・ロード/ストア用パイプライン116、117に入力される。但しこのとき命令が1つの場合は、一方のパイプライン例えば第1の整数演算・ロード/ストア用パイプライン116にのみ制御情報を入力する(ステップ204、205)。また命令が2つの場合は各整数演算・ロード/ストア用パイプライン116、117にそれぞれ制御情報を入力する(ステップ204、206)。

【0054】また“NO”の場合、すなわち命令が浮動小数点演算命令あるいは浮動小数点演算用レジスタに対するデータのロード/ストア命令の場合は、命令デコーダ111で生成された制御情報は浮動小数点演算・ロード/ストア用パイプライン114、115に入力される。但しこのとき、命令が1つの場合は、一方のパイプライン例えば第1の浮動小数点演算・ロード/ストア用パイプライン114にのみ制御情報を入力する(ステッ

プ207、208)。また命令が2つの場合は各浮動小数点演算・ロード/ストア用パイプライン114、115にそれぞれ制御情報を入力する(ステップ207、209)。

【0055】図3は2つの命令を2つのパイプラインに入力する場合の様子を示している。同図における1から4の番号は命令の読み込まれた順番を示し、番号1と番号2の命令、番号3と番号4の命令はそれぞれ主メモリ103より同時に読み出された命令である。このようにパイプラインの各段に保持された命令は1Tの時間周期で次々に次の段に運ばれる。

【0056】このときパイプライン制御回路112は、同時に読み込んだ2つの命令(例えば番号1と番号2の命令、番号3と番号4の命令)が同時に実行できないものであることを判断すると、2つの命令のうち後で実行すべき命令が保持されている側のパイプラインに信号線216を通じてウェイト信号を送り、当該命令の実行にウェイトをかける。

【0057】例えば、2つの命令の1つとして浮動小数点加算命令が第1の浮動小数点演算・ロード/ストア用パイプライン114に格納され、もう1つとしてロード命令が第2の浮動小数点演算・ロード/ストア用パイプライン115に格納されているとする。ここで浮動小数点加算命令の実行で使用するソースとロード命令のディスティネーションとが一致し、かつ浮動小数点加算命令がロード命令より前のアドレスに格納してあった場合は、浮動小数点加算命令の実行後にロード命令を実行しなくてはならない。したがって、この場合、パイプライン制御回路112は第2の浮動小数点演算・ロード/ストア用パイプライン115にウェイト信号を送ってこれに格納されているロード命令の実行にウェイトをかける。

【0058】図4は浮動小数点演算・ロード/ストア用パイプライン114、115の情報に基づいて浮動小数点命令を実行するときの手順を示すフローチャートである。各浮動小数点演算制御回路118、119はそれぞれ浮動小数点演算・ロード/ストア用パイプライン114、115より制御情報の読み込みを行う(ステップ401)。

【0059】ここで各浮動小数点演算・ロード/ストア用パイプライン114、115より計2つの制御情報が読み込まれた場合(ステップ402)、各浮動小数点演算制御回路118、119は自身が読み込んだ制御情報から浮動小数点演算回路102にて浮動小数点演算命令または浮動小数点演算用レジスタに対する浮動小数点データのロード/ストア命令を実行するために必要な制御コードをそれぞれ生成する(ステップ403)。

【0060】こうして各浮動小数点演算制御回路118、119にて同時に生成された2つの制御コードは浮動小数点演算回路102に送出され(ステップ40

4)、これにより浮動小数点演算回路102にて2つの浮動小数点命令が同時に実行される(ステップ405)。

【0061】また読み込まれた制御情報が1つだけの場合(ステップ402)、第1の浮動小数点演算制御回路118は自身が読み込んだ制御情報から浮動小数点演算回路202にて浮動小数点演算命令または浮動小数点演算用レジスタに対する浮動小数点データのロード/ストア命令を実行するために必要な制御コードを生成する(ステップ406)。

【0062】第1の浮動小数点演算制御回路118にて生成された制御コードは浮動小数点演算回路102に送出され(ステップ407)、これにより浮動小数点演算回路102にて1つの浮動小数点命令だけが実行される(ステップ408)。

【0063】この後、終了命令が実行されるまで(ステップ409、410)、以上の動作が繰り返される。

【0064】図5は各整数演算・ロード/ストア用パイプライン116、117の情報に基づいて整数命令を実行するときの手順を示すフローチャートである。

【0065】各整数演算制御回路120、121はそれぞれ各整数演算・ロード/ストア用パイプライン116、117より制御情報の読み込みを行う(ステップ501)。ここで各整数演算・ロード/ストア用パイプライン116、117より計2つの制御情報が読み込まれた場合(ステップ502)、各整数演算制御回路120、121は自身が読み込んだ制御情報から整数演算回路123にて整数演算命令または整数演算用レジスタ122に対する整数データのロード/ストア命令を実行するために必要な制御コードをそれぞれ生成する(ステップ503)。

【0066】こうして各整数演算制御回路120、121にて同時に生成された2つの制御コードは整数演算回路123に送出され(ステップ504)、これにより整数演算回路123にて2つの整数命令が同時に実行される(ステップ505)。

【0067】また読み込まれた制御情報が1つだけの場合(ステップ502)、第1の整数演算制御回路120は自身が読み込んだ制御情報から整数演算回路123にて整数演算命令または整数演算用レジスタ122に対する整数データのロード/ストア命令を実行するために必要な制御コードを生成する(ステップ506)。

【0068】第1の整数演算制御回路120にて生成された制御コードは整数演算回路123に送出され(ステップ507)、これにより整数演算回路123にて1つの整数命令だけが実行される(ステップ508)。

【0069】この後、終了命令が実行されるまで(ステップ509、510)、以上の動作が繰り返される。

【0070】図6は本実施例における浮動小数点演算回路102上での浮動小数点命令の実行時間を従来例と比

較して示す図である。同図において、LDはロード命令、STはストア命令、Fは浮動小数点演算命令である。このように本装置では、同時に2つの浮動小数点命令つまり演算命令、ロード命令およびストア命令の中から選ばれる2つの命令を実行することが可能である。したがって、従来と比較してほぼ半分の時間でまたまった数の命令を実行することができる。また、主プロセッサ101内の整数演算回路123上での整数命令の実行に関しても同様に、従来と比較してほぼ半分の時間でまたまった数の命令を実行することができる。

【0071】なお、本実施例では、2つの浮動小数点命令および整数命令を同時に実行できるよう構成したが、3つ以上の命令を同時に実行できるよう構成しても構わない。さらに、浮動小数点命令が整数命令のいずれか一方のみを複数同時に実行できるような構成としてもよい。

【0072】

【発明の効果】以上説明したように本発明の情報処理装置および情報処理方法によれば、同時に複数の浮動小数点命令を実行でき、かつ同時に複数の整数命令も実行可能である。したがって、見掛け上の命令実行速度の向上を図れる。

【図面の簡単な説明】

【図1】本発明に係る一実施例の情報処理装置の構成を説明するためのブロック図である。

【図2】図1における各パイプラインに制御情報を入力する手順を示すフローチャートである。

【図3】2つの命令を同時に2つのパイプラインに入力する場合の様子を示す図である。

【図4】浮動小数点演算・ロード/ストア用パイプラインの情報に基づいて浮動小数点命令を実行するときの手順を示すフローチャートである。

【図5】整数演算・ロード/ストア用パイプラインの情報に基づいて整数命令を実行するときの手順を示すフローチャートである。

【図6】本実施例における浮動小数点演算回路上での浮動小数点命令の実行時間を従来例と比較して示す図である。

【図7】従来からの主プロセッサに浮動小数点演算用のサブプロセッサを接続してなる情報処理装置の構成を示すブロック図である。

【図8】従来の情報処理装置において実行される浮動小数点命令列の一例を示す図である。

【符号の説明】

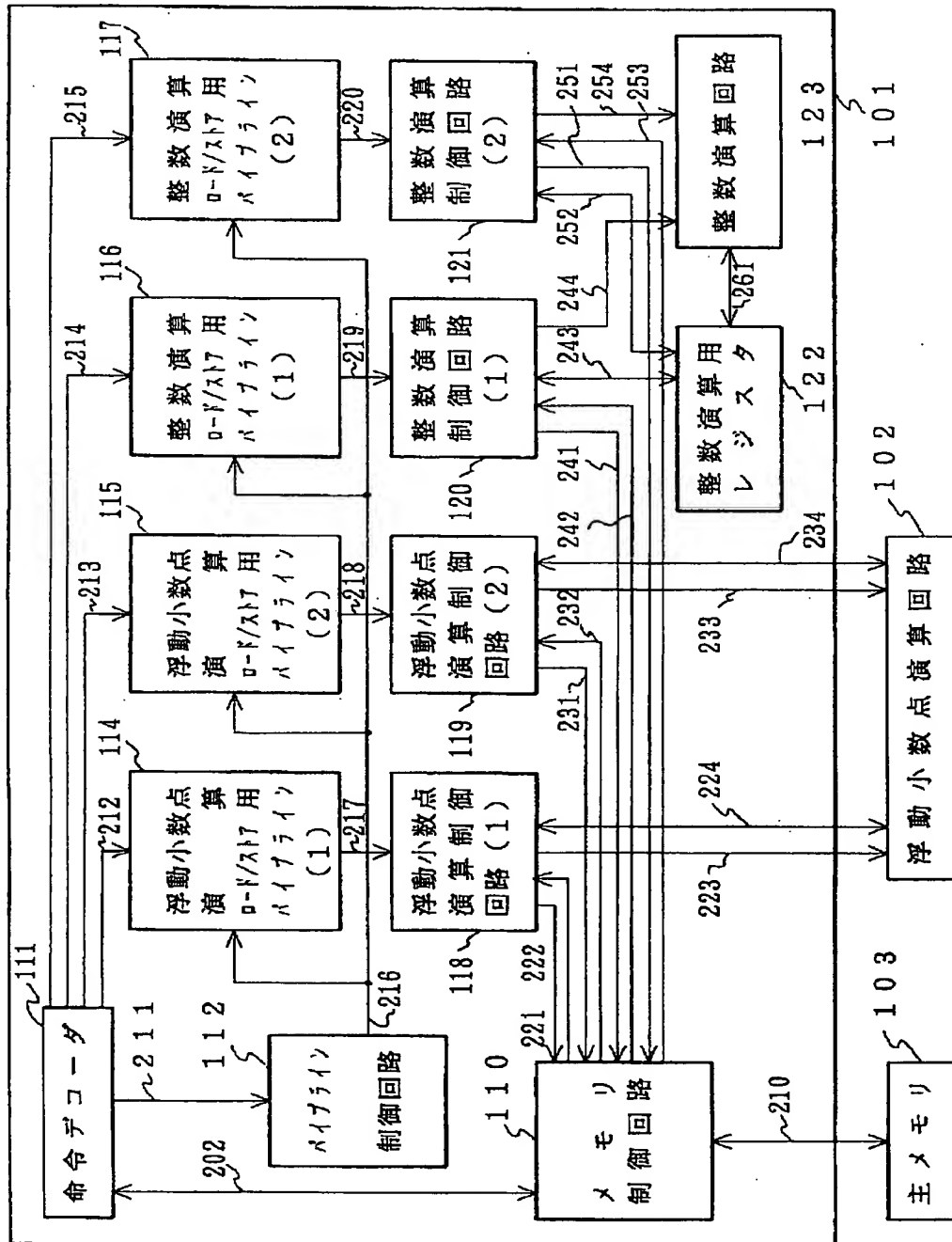
101…主プロセッサ、102…浮動小数点演算回路、103…主メモリ、110…メモリ制御回路、111…命令デコーダ、112…パイプライン制御回路、114…第1の浮動小数点演算・ロード/ストア用パイプライン、115…第2の浮動小数点演算・ロード/ストア用パイプライン、116…第1の整数演算・ロード/スト



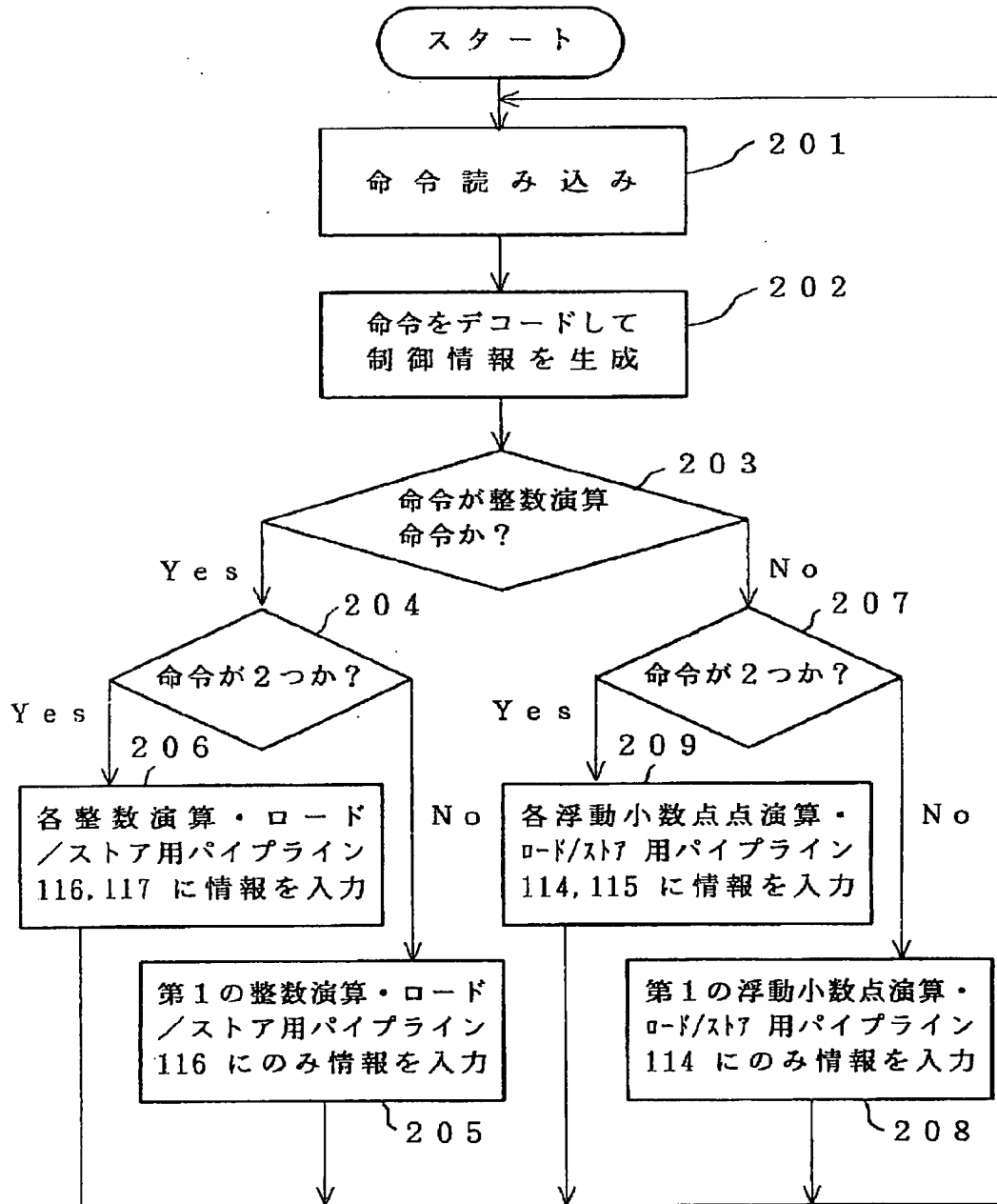
ア用パイプライン、117…第2の整数演算・ロード／ストア用パイプライン、118…第1の浮動小数点演算制御回路、119…第2の浮動小数点演算制御回路、1

20…第1の整数演算制御回路、121…第2の整数演算制御回路、122…整数演算用レジスタ、123…整数演算回路。

【図1】



【図2】

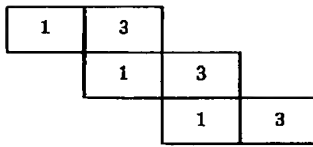


【図8】

LD	ST	LD	ST	F	LD	ST	LD
----	----	----	----	---	----	----	----

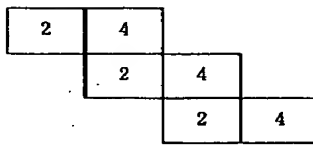
【図3】

第1のバイトライン

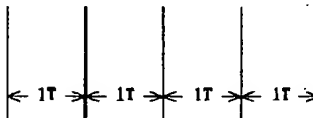
時間  
→

— 1段目  
— 2段目  
— 3段目

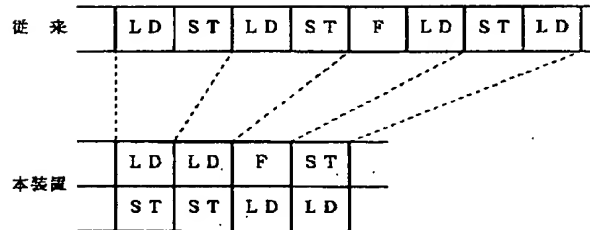
第2のバイトライン



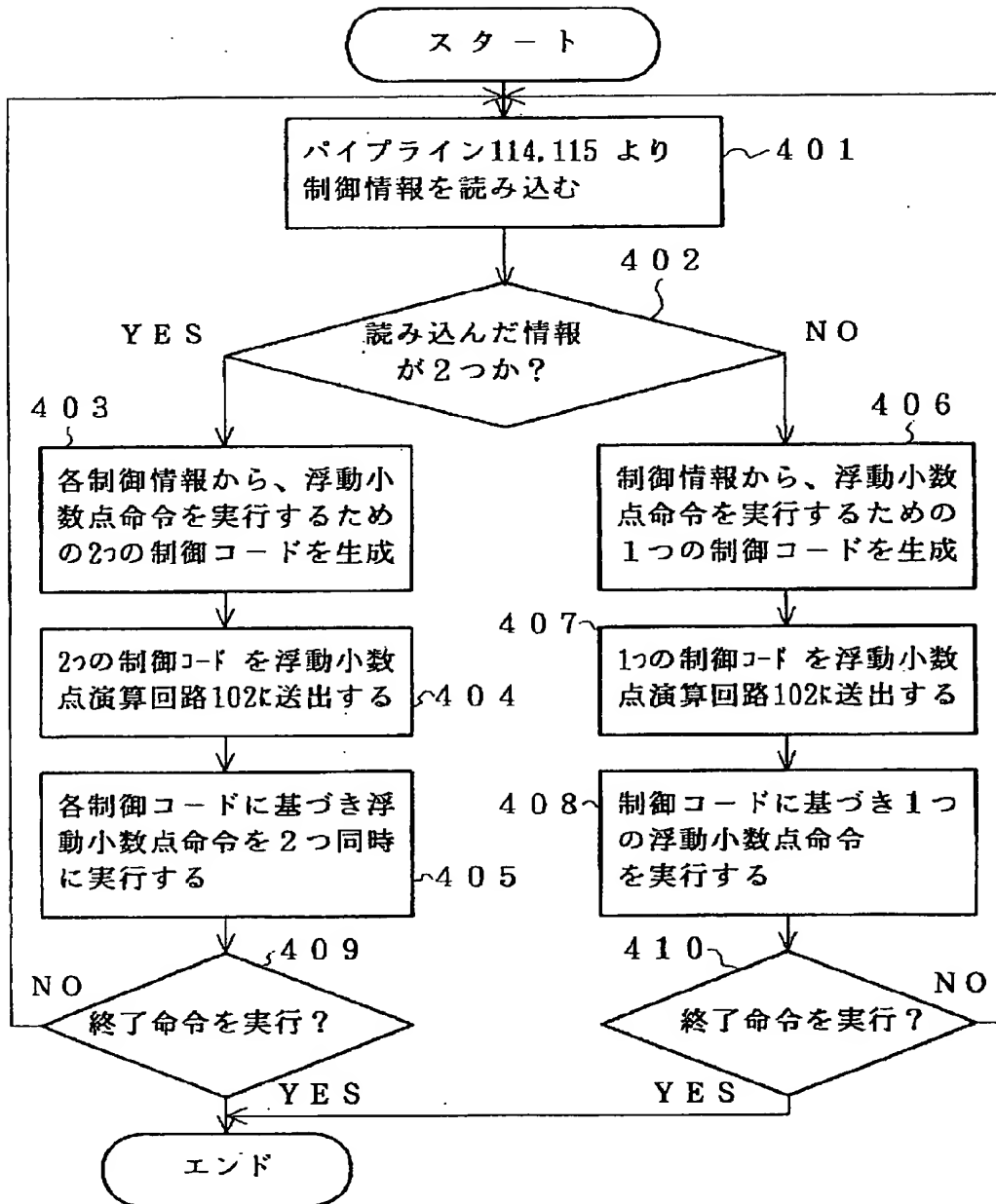
— 1段目  
— 2段目  
— 3段目



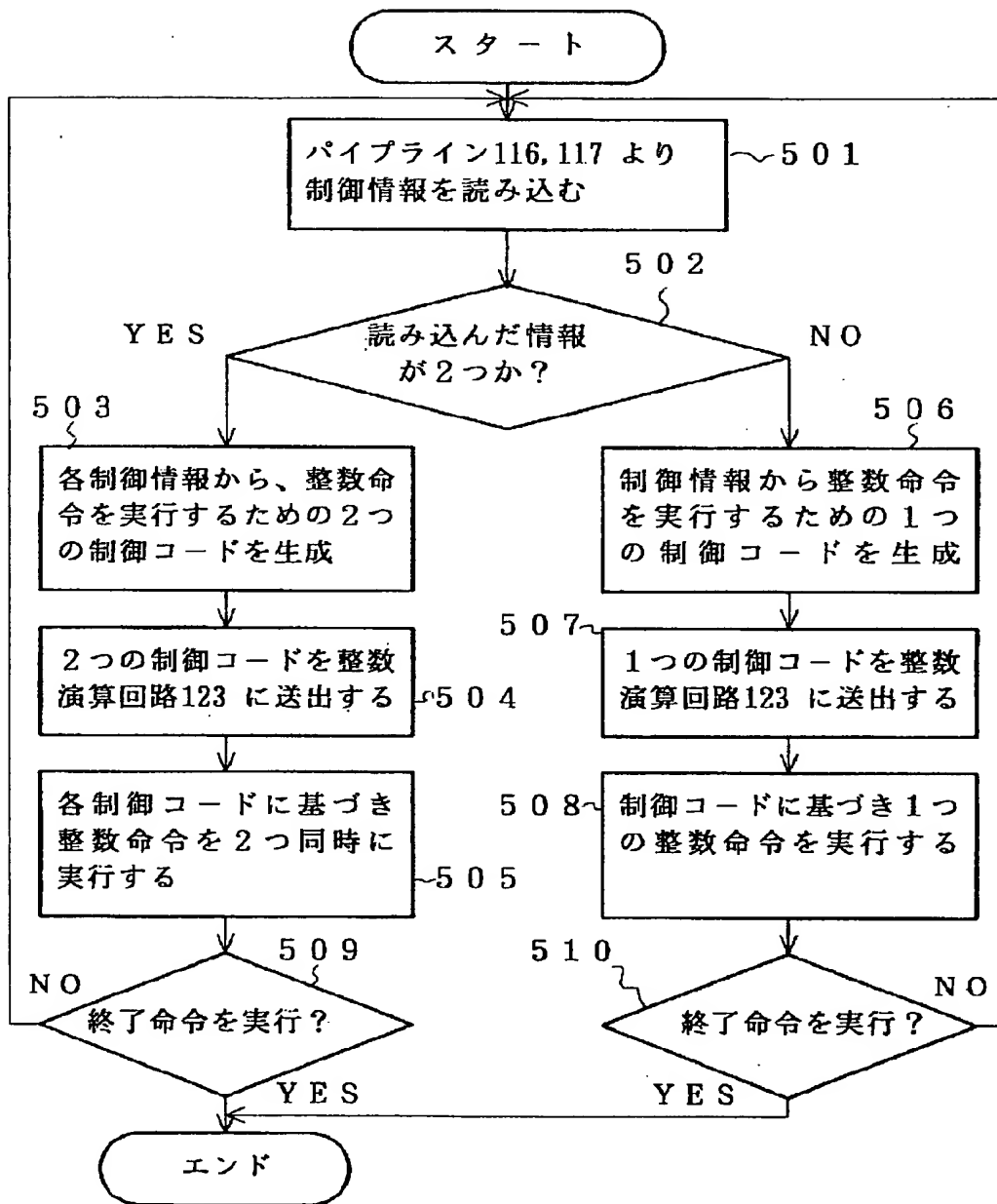
【図6】



【図4】



【図5】



【図7】

